

PAT-NO: JP409153638A

DOCUMENT-IDENTIFIER: JP 09153638 A

TITLE: WAVEGUIDE SEMICONDUCTOR LIGHT
RECEIVING DEVICE AND
MANUFACTURE OF THE SAME

PUBN-DATE: June 10, 1997

INVENTOR-INFORMATION:
NAME
TAKEUCHI, TAKESHI

ASSIGNEE-INFORMATION:
NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP07334298

APPL-DATE: November 30, 1995

INT-CL (IPC): H01L031/10

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent a loss in a waveguide even if the width of an incident terminal is widened and to improve connection efficiency between the waveguide and a light-receiving device.

SOLUTION: The tapered waveguide 102 whose width continuously reduces from a light incident-side toward a photodiode(PD) part and the light-receiving device 103 which is optically connected with the tapered waveguide

and integrated on a semiconductor substrate 101. The tapered waveguide 102 is made of a first clad layer 104, a core layer 105 and a second clad layer 105. The width of the tapered waveguide 102 becomes gradually narrower and the film thickness becomes continuously thick. The refraction factor of the core layer 105 becomes continuously high toward the light-receiving device side. The core layer 105 is extended to the PD part and the wavelength of a band gap in the PD part is set to be more than the wavelength of signal light. Then, the extending part of the core layer can be set to the light absorbing layer of the light-receiving device 103.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-153638

(43)公開日 平成9年(1997)6月10日

(51)IntCl.⁵

H01L 31/10

識別記号

庁内整理番号

FI

H01L 31/10

技術表示箇所

A

審査請求 有 請求項の数7 FD (全10頁)

(21)出願番号 特願平7-334298

(22)出願日 平成7年(1995)11月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹内 剛

東京都港区芝五丁目7番1号 日本電気株式会社内

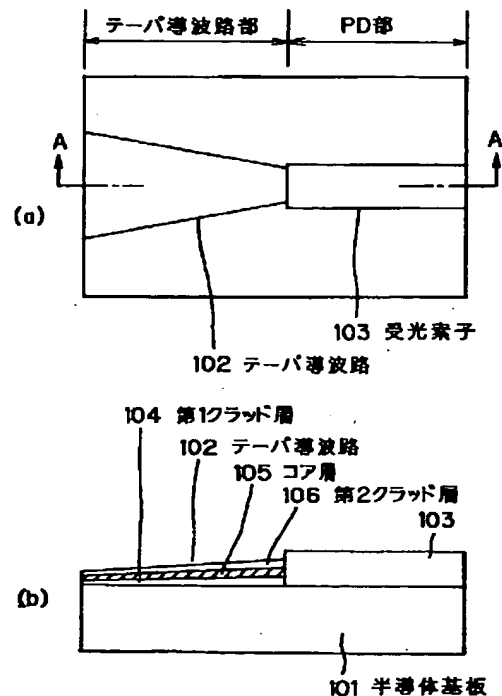
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 導波路型半導体受光装置およびその製造方法

(57)【要約】

【目的】 入射端の幅を広げても導波路での損失が生じないようにする。導波路と受光素子との結合効率を向上させる。

【構成】 半導体基板101上に、光入射側からPD部に向かって幅が連続的に減少するテーパ導波路102と、このテーパ導波路と光学的に結合された受光素子103とが集積化される。テーパ導波路102は、第1クラッド層104、コア層105、第2クラッド層106により構成されるが、テーパ導波路102の幅は受光素子103に向かって徐々に狭くなると共にその膜厚が連続的に厚くなり、かつ、コア層105の屈折率が受光素子側に向かって連続的に高くなっている。コア層105をPD部にまで引き延ばし、PD部でのバンドギャップ波長を信号光の波長以上となるようにして、コア層の延長部を受光素子103の光吸収層とすることができる。



【特許請求の範囲】

【請求項1】 半導体基板上に、受動導波路とこれにより導波された信号光を受光する受光素子とが集積化されている導波路型半導体受光装置において、受動導波路の導波層は、光入射側から受光素子側に向かって幅が漸減し厚さが漸増するとともに屈折率が漸増していることを特徴とする導波路型半導体受光装置。

【請求項2】 前記受動導波路の導波層および／または前記受光素子の光吸収層とが多重量子井戸構造を有していることを特徴とする請求項1記載の導波路型半導体受光装置。

【請求項3】 前記受光素子の光吸収層が、前記受動導波路の導波層に滑らかに連続して形成されていることを特徴とする請求項1記載の導波路型半導体受光装置。

【請求項4】 前記受動導波路の導波層が、前記受光素子の光吸収層の直下にまで連続して延びていることを特徴とする請求項1記載の導波路型半導体受光装置。

【請求項5】 (1) 化合物半導体基板上に、マスク間隔が導波路部では光入射側からフォトダイオード部に向かって狭くなりフォトダイオード部では一定間隔の、マスク幅が導波路部では一定幅またはフォトダイオード部に向かって漸増し、フォトダイオード部では一定幅の一对の誘電体マスクを形成する工程と、

(2) 化合物半導体基板上に、前記誘電体マスクを成長マスクとして、有機金属気相成長(MOCVD)法により、下層クラッド層、コア層、上層クラッド層を順次成長させる工程と、

(3) 前記誘電体マスクを除去し、前記第(2)の工程において形成した半導体層を埋め込み半導体層によって埋め込む工程と、を有することを特徴とする導波路型半導体受光装置の製造方法。

【請求項6】 前記誘電体マスクのフォトダイオード部におけるマスク幅が前記導波路部におけるマスク幅より大きく、フォトダイオード部の誘電体マスク間に形成されたコア層が光吸収層を構成することを特徴とする請求項5記載の導波路型半導体受光装置の製造方法。

【請求項7】 前記コア層が、①InGaAsPの単層、②InAlGaAsの単層、③InGaAsをウェル層としInGaAsPをバリア層とする多重量子井戸構造、④InGaAsをウェル層としInAlGaAsをバリア層とする多重量子井戸構造、⑤InGaAsPをウェル層としInGaAsPをバリア層とする多重量子井戸構造、⑥InAlGaAsをウェル層としInAlGaAsをバリア層とする多重量子井戸構造、のいずれかにより形成されることを特徴とする請求項5記載の導波路型半導体受光装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板上に、光導波路とこれに光学的に結合された半導体受光素子と

が集積化されている導波路型半導体受光装置に関するものである。

【0002】

【従来の技術】 化合物半導体を用いた半導体受光素子は光ファイバの低損失領域である $1.3\mu\text{m}\sim 1.5\mu\text{m}$ の波長の光に感度をもつ素子が容易に得られることから光通信素子として広く用いられている。この光通信受光素子の一例としてInGaAs pinフォトダイオードが挙げられるが、応答特性の高速化、受信感度の向上がこの素子には求められている。

【0003】 受信感度の改善に求められる光電変換効率を向上させるためには、光吸収層に垂直に光が入射する場合、InGaAs光吸収層を厚くすればよいが、ある程度以上厚くするとキャリアの走行時間制限により応答速度の劣化が起こってくるため無制限に厚くすることはできない。そこで、このトレードオフの関係を解決する素子構造として導波路と受光素子とを集積化した導波路型受光装置が注目されている。この受光装置では入射光を光吸収層と平行な方向から入射させることにより、高速、かつ高感度な素子特性が得られる。

【0004】 但し、この導波路付pinフォトダイオードはファイバ入力との結合トレランスが低いという問題点を有する。即ち、帯域50GHz程度の導波路付pinフォトダイオードの入射端面は導波路幅 $5\mu\text{m}$ 程度、光吸収層厚 $0.5\mu\text{m}$ 程度で、通常の面入射型pinフォトダイオードと比較して極めて微小であり、入射端面位置が入射光の焦点位置から僅かにずれただけで感度は大きく劣化する。また、帯域が50GHzを超える導波路付pinフォトダイオードでは、素子容量を低減するために導波路幅をさらに $2\mu\text{m}$ 以下にまで狭くする必要があり、このような場合にはたとえ焦点位置からのずれがない場合でも結合効率自体の低下のために感度が劣化するという問題も生じる。

【0005】 導波路付pinフォトダイオードにおけるこのような結合トレランス、結合効率低下の問題を解決するための従来の技術として、素子の入射端側にテーパ形状に加工した導波路(以下、テーパ導波路と略記)を集積化し、入射光のスポットサイズを変換して素子に導くことが行われている。そのような従来技術による集積回路の一例(IEICE TRANS. ELECTRON., VOL. E-76-C, No. 2 p. 214, 1993)を図13に示す。この従来例では、半絶縁性InP基板21上に、InPバッファ層22、 p^+ -InGaAsPコンタクト層23、 n^- -InGaAs光吸収層24を設け、その上に一部重なるように、 n^+ -InPクラッド層25、 n^+ -InGaAsPコア層26、 n^+ -InPクラッド層27からなるテーパ状導波路を設け、さらに、 p^+ -InGaAsPコンタクト層23上にp側電極28を、 n^+ -InPクラッド層27上にn側電極29を設けている。そして、テーパ導波路幅をpinフォトダイオード側ではpinフォトダイ

オードと一致させて1~2 μm とし、そこから徐々に幅を広げて入射端面では4 μm と広くすることで入射光との結合効率を向上させている。

【0006】

【発明が解決しようとする課題】図13の従来例のようなテーパー導波路においては、入射端面側の導波路幅をある程度以上上げると、水平方向の導波モードとして新たな高次モードが存在し得るようになる。一方、テーパー導波路のpinフォトダイオード側端面では導波路幅が狭く、この高次モードはカットオフとなっており、入射端面に於いて励振されたこの高次モード光はテーパー導波路を伝搬する途中で全て放射され損失となってしまう(図8参照)。従って入射端面側の導波路幅はこのような問題が生じない範囲でしか広げることができず、必ずしも十分な結合トレランスが得られないという問題点があった。

【0007】また、この従来例ではテーパー導波路のコア層とpinフォトダイオードのコア層(光吸収層)とが少なくとも2回の結晶成長によって各々形成され、そして結晶成長間に結晶層のエッチング工程が加わるため、テーパー導波路-pinフォトダイオード間の高結合効率を高い歩留まりで実現するのが難しいという問題点があった。よって、本発明の目的とするところは、第1に、テーパー導波路の光入射側の幅を広くしてもテーパー導波路中において光損失が生じることのないようにすることであり、第2に、光導波路と受光素子との結合効率を高めることである。

【0008】

【課題を解決するための手段】上記の目的を達成するための本発明による導波路型半導体受光装置は、半導体基板上に、受動導波路とこれにより導波された信号光を受光する受光素子とが集積化されている導波路型半導体受光装置において、受動導波路の導波層は、光入射側から受光素子側に向かって幅が漸減し厚さが漸増するとともに屈折率が漸増していることを特徴としている。

【0009】また、上記の目的を達成するための本発明による導波路型半導体受光装置の製造方法は、(1)化合物半導体基板上に、マスク間隔が導波路部では光入射側からフォトダイオード部に向かって狭くなりフォトダイオード部では一定間隔の、マスク幅が導波路部では一定幅またはフォトダイオード部に向かって漸増し、フォトダイオード部では一定幅の一对の誘電体マスクを形成する工程と、(2)化合物半導体基板上に、前記誘電体マスクを成長マスクとして、有機金属気相成長(MOCVD)法により、下層クラッド層、コア層、上層クラッド層を順次成長させる工程と、(3)前記誘電体マスクを除去し、前記第(2)の工程において形成した半導体層を埋め込み半導体層によって埋め込む工程と、を有することを特徴としている。

【0010】

【発明の実施の形態】図1(a)は、本発明の実施の形態を説明するための平面図であり、図1(b)はそのA-A線での断面図である。本発明による受光装置においては、図1に示されるように、半導体基板101上に、光入射側からPD部に向かって幅が連続的に減少するテーパー導波路102と、このテーパー導波路と光学的に結合された受光素子103とが集積化される。

【0011】図1(b)に示されるように、テーパー導波路102は、第1クラッド層104、コア層105、第2クラッド層105により構成されるが、本発明の受光装置において特徴的なことは、テーパー導波路102の幅が受光素子103に向かって徐々に狭くなると共にその膜厚が連続的に厚くなり、かつ、コア層105の屈折率が受光素子側に向かって連続的に高くなっていることである。このように構成されたテーパー導波路においては、高次モードの入射光も外部に放射することなくPD部に伝搬することができるため、入射側の幅を広くすることができ、結合トレランスを緩和することができる。

【0012】コア層105をPD部にまで引き延ばし、PD部でのバンドギャップ波長を信号光の波長以上となるようにして、コア層の延長部を受光素子103の光吸収層とすることができる。あるいは、コア層105のPD部での延長部でのバンドギャップ波長を信号光波長より短波長とすることにより受光素子内部に導波路を形成するようにすることができる。この場合にはコア層105とは別の層に光吸収層を設けることになる。

【0013】コア層105(その延長部に連続して光吸収層を形成する場合にはこの光吸収層も)は、単一の半導体層あるいは多重量子井戸(MQW)構造とすることができる。コア層を形成するための半導体層としては、①InGaAsPの単層、②InAlGaAsの単層、③InGaAsをウェル層としInGaAsPをバリア層とする多重量子井戸構造、④InGaAsをウェル層としInAlGaAsをバリア層とする多重量子井戸構造、⑤InGaAsPをウェル層としInGaAsPをバリア層とする多重量子井戸構造、⑥InAlGaAsをウェル層としInAlGaAsをバリア層とする多重量子井戸構造、のいずれかを用いることができる。

【0014】図1に示す構造の受光装置は、図2(a)、(b)に示すような誘電体マスク107を半導体基板101上に形成し、有機金属気相成長(MOCVD)法により、導波路を構成する半導体層を成長させることにより形成することができる。図2(a)に示されるように、テーパー導波路部でのマスク間隔がPD部側に向かって徐々に狭まるとき、成長する半導体層の膜厚は幅が狭まるにつれて厚くなる。そして、例えば、InGaAsPをコア層として成長させるとき、マスク間隔が狭くなるほど成長する半導体層の組成は、バンドギャップ波長が長波長側に移動し、また屈折率が高くなるように変化する。

【0015】この傾向は、マスク幅が広くなるにつれて著しくなる。従って、図2(a)に示すマスクを用いる場合よりも図2(b)に示すマスクを用いて成長を行う場合の方がテーパ導波路部におけるコア層の膜厚、バンドギャップ波長、屈折率の増加傾向は大きくなる。また、図2(a)に示すように、PD部におけるマスク幅をテーパ導波路部におけるそれより十分に大きくすると、PD部において成長するコア層のバンドギャップ波長を信号光の波長以上にすることが可能になり、この層を光吸収層として用いることが可能になる。

【0016】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図3～図6は、本発明の第1の実施例を示す導波路付pinフォトダイオードの製造方法を説明するための、工程順の平面図乃至断面図である。まず、図3の平面図あるいは図4の断面図に示すように、(001)面を有する半絶縁性InP基板1上に $n^+ - \text{InP}$ 低抵抗層($1 \times 10^{18} \text{ cm}^{-3}$)2を厚さ $1 \mu\text{m}$ に成長させる。次に、その上に SiO_2 膜3を熱CVD法により形成した後、これを通常のフォトリソグラフィ工程およびエッチング工程によりパターンニングして図3に示すようなパターンの成長マスクを形成する。

【0017】このパターンは互いに線対称の関係にある一対の SiO_2 膜からなり、これらのマスクパターンに挟まれた領域が導波路を形成する領域である。この導波路の幅はPD部4では $5 \mu\text{m}$ 、テーパ導波路部5ではPD側(図3中、A2-A2線部)から入射端側(同図中、A1-A1線部)に向かって連続的に幅が広がり、入射端部では $15 \mu\text{m}$ となっている。またマスクの幅はPD部4で $50 \mu\text{m}$ 、テーパ導波路部5ではこれより狭く $20 \mu\text{m}$ となっている。導波路方向は[110]である。次に、有機金属気相成長法により、この膜 SiO_2 膜3を選択成長マスクとして $n^+ - \text{InP}$ バッファ層(クラッド層)($1 \times 10^{18} \text{ cm}^{-3}$)6、 $n^- - \text{InGaAsP}$ 層($1 \times 10^{15} \text{ cm}^{-3}$)7、 $n^- - \text{InP}$ クラッド層($1 \times 10^{16} \text{ cm}^{-3}$)8を形成する。PD部4におけるこれら結晶層の層厚はそれぞれ $0.1 \mu\text{m}$ 、 $0.5 \mu\text{m}$ 、 $0.2 \mu\text{m}$ である。このとき $n^- - \text{InGaAsP}$ 層7はPD部4とテーパ導波路部5とは組成、層厚が異なり、さらにテーパ導波路部5ではPD側から入射端側に向かって組成、層厚が連続的に変化したものが得られる(特開平4-243216号公報参照)。

【0018】図4(a)、(b)、(c)は、それぞれ図3中のA1-A1線、A2-A2線、A3-A3線における選択成長後における断面図である。 $n^- - \text{InGaAsP}$ 層7は図4(c)に於いては通常光通信で用いる $1.55 \mu\text{m}$ 帯の入射光に対して十分な吸収係数を持つ $n^- - \text{InGaAsP}$ 光吸収層7c(バンドギャップ波長 $\lambda_g = 1.55 \mu\text{m}$)として働き、図4(a)、

(b)においては入射光に対して十分低損失な $n^- - \text{InGaAsP}$ コア層7a(バンドギャップ波長 $\lambda_g = 1.15 \mu\text{m}$)、7b(バンドギャップ波長 $\lambda_g = 1.45 \mu\text{m}$)として働く。

【0019】ここで $n^- - \text{InGaAsP}$ コア層7a、7b、光吸収層7cのそれぞれに組成、層厚の差が生ずるのは、 SiO_2 膜3のマスク幅および導波路幅のみに依存しており、これらは一回の結晶成長で同時にかつ連結して形成される。次の工程では、図5(a)、

(b)、(c)〔これらの図はそれぞれ図4の(a)、(b)、(c)に対応している〕に示すように、 SiO_2 膜3を除去したのち、選択成長層を埋め込む形で $n^- - \text{InP}$ 埋め込み層($1 \times 10^{16} \text{ cm}^{-3}$)9を膜厚 $1 \mu\text{m}$ に成長させる。

【0020】この後、図5(c)に示すように、Znの選択熱拡散でPD部4の上部にのみp型高濃度領域10を選択的に形成する。次に、図6(a)、(b)〔図6(b)は図6(a)のB-B線での断面図〕に示すように、パッド形成領域11におけるエピタキシャル成長層をエッチング除去して半絶縁性InP基板1の表面を露出させる。その後、図5および図6に示すように、絶縁膜としての SiN 膜12を形成しこれに電極窓開けを行った後、p型高濃度領域10上にこれとコンタクトをとるp側電極としてのTiAu膜13を、 $n^- - \text{InP}$ 埋め込み層9上にこれとコンタクトをとるn側電極としてのAuGeNi/TiAu膜14をそれぞれ形成し、アロイ化熱処理を行う。

【0021】このときp側電極のパッド電極部13aはパッド形成領域11上に形成する。また、図6に示されるように、AuGeNi/TiAu膜14はTiAu膜13を挟んで両側に形成され、これらがテーパ導波路上で接続された形状を持つ。最後に基板裏面に、素子を AuSn 半田などで固定するときのためのTiAu膜15を形成する。

【0022】次に、本発明の第1の実施例の効果について説明する。先に述べたように、 $n^- - \text{InGaAsP}$ 層7のバンドギャップ波長 λ_g は素子内の各部で異なる。PD部では $1.55 \mu\text{m}$ となっており、波長 $1.55 \mu\text{m}$ の入射信号光に対して十分な吸収係数を持つ光吸収層として働く一方、テーパ導波路部では $\lambda_g = 1.45 \sim 1.15 \mu\text{m}$ となっており、このテーパ導波路は十分低損失なスポットサイズ変換器として働く。しかもこの $n^- - \text{InGaAsP}$ 層7は1回の結晶成長で連結して形成されるためPD部とテーパ導波路部との境界部に再成長界面を含まず、極めて高い結合効率を得られる。

【0023】さらに、第1の実施例の別の効果について図7、図8を参照して説明する。図7(a)は、本実施例による受光装置のテーパ導波路部およびPD部における $n^- - \text{InGaAsP}$ 層7を模式的に表したものである。図7(b)、(c)、(d)はそれぞれ図7(a)

中の(イ)(PD部)、(ロ)(テーパー導波路部のPD側端面)、(ハ)(テーパー導波路部の入射側端面)の各部における導波路断面での、 $1.55\mu\text{m}$ 光に対する屈折率分布をモデル化したものである。 InGaAsP コア層の屈折率、層厚は各部で異なっている。

【0024】また、図7(a)の(イ)、(ロ)、(ハ)部に示した曲線はそれぞれ同図(b)、(c)、(d)の屈折率分布モデルを用いて計算した水平横モードの6次モード光の電界分布である。図8は本発明によらずにテーパー導波路とPDとを多数回の結晶成長により集積化した例で、 InGaAsP コア層の屈折率、層厚はテーパー導波路内でどこでも一定となっている。図8(a)、(b)、(c)、(d)はそれぞれ図7(a)、(b)、(c)、(d)に対応しており、また図8(a)の(ニ)、(ホ)、(ヘ)は、図7(a)の(イ)、(ロ)、(ハ)に対応している。

【0025】テーパー導波路部の入射側端面における導波モードは、水平横モードとして0次モードから6次モードまで存在する。図8の例では、 InGaAsP コア層の層厚、屈折率がテーパー導波路内で一定であるため、テーパー導波路部のPD側端面(図8(a)の(ホ)の位置)では導波路幅が狭くなることにより次数の高いモードはカットオフとなり大きな放射損失が生じる。実際、図8(c)の屈折率分布モデルでは水平横モードとして2次モードまでしか存在せず、テーパー導波路入射端で励起された3次～6次モードはテーパー導波路部を伝搬する途中で放射されてしまうので感度が低下する。

【0026】これに対して図7の本実施例ではテーパー導波路の入射側からPD側に向かって連続的に InGaAsP コア層の層厚は厚く、屈折率は高くなっており、導波路幅が狭くなっても高次モードがカットオフされない。実際、図7の例では同図(a)で示したように入射側で励起される最も次数の高い6次モード光でさえカットオフされることなくPD側まで導波される。したがって、本発明によりカットオフによる放射損失がなく、極めて高感度で、かつ結合トランスが高い受光装置が実現される。

【0027】なお、第1の実施例では、 $n^- - \text{InGaAsP}$ 層7のバンドギャップ波長 λ_g がPD部4で $1.55\mu\text{m}$ となっている例を示し、その効果を説明したが、 $1.55\mu\text{m}$ よりさらに長波長である場合でも同様の効果が得られる。また、テーパー導波路部5のコア層およびPD部4の光吸収層として $n^- - \text{InGaAsP}$ 層7の代わりに $n^- - \text{InAlGaAs}$ 層を用いた場合でも同様の効果が得られる。

【0028】次に、第1の実施例において $n^+ - \text{InP}$ 低抵抗層2、 AuGeNi/TiAu 膜14を用いたことによる効果について説明する。本実施例のn側電極は、図5(c)に示したように、半絶縁性基板上に水平方向に広がった構造を持つ。一般にこのような模型電極

における寄生抵抗値は、半導体層のシート抵抗、半導体層と電極とのコンタクト抵抗率および電流と垂直方向の電極幅で決定される。 $n^+ - \text{InP}$ 低抵抗層2はこのうちシート抵抗を低減する効果をもつ。シート抵抗は半導体層の濃度にはほぼ反比例するため、この実施例の場合では $n^+ - \text{InP}$ 低抵抗層2を用いない場合と比べシート抵抗を約100分の1に低減することができる。また、図6に示したように AuGeNi/TiAu 膜14は TiAu 膜13を挟んでその両側に形成され、かつこれらが接続されているので寄生抵抗をさらに半減することができる。これらの効果により本実施例では寄生抵抗が極めて低く、高速応答特性に優れた素子を実現される。

【0029】[第2の実施例]次に、本発明の第2の実施例について図9を参照して説明する。図9は、 SiO_2 膜3で形成された選択成長マスクパターンで、第1の実施例における図3に対応している。図3のパターンと異なる点はテーパー導波路の入射端側の導波路幅を図3のそれより広く $20\mu\text{m}$ とし、またマスク幅を図3のそれより狭く $5\mu\text{m}$ とした点である。選択成長マスクパターンが異なるという点を除いて、その他の素子製造工程等は第1の実施例の場合と同様である。

【0030】この実施例では、図9に示したように選択成長マスクの幅がテーパー導波路部においてPD側から入射端側に向かって徐々に狭くなっている。マスク幅が狭くなればその時選択成長される $n^- - \text{InGaAsP}$ 層7の層厚は薄くなり屈折率は低くなる。したがって入射端側の導波路幅をさらに広げてさらに高い次数の導波モードが新たに許容されることがなく、図7で説明した効果を保ったまま、入力端導波路幅の拡大に伴う高い結合トランスが得られる。

【0031】[第3の実施例]次に、本発明の第3の実施例について説明する。特に図には示していないが、この実施例では図4における $n^- - \text{InGaAsP}$ コア層7a、7b、光吸収層7cの代わりに、 $n^- - \text{InGaAsP}$ ウェル層、 $n^- - \text{InGaAsP}$ バリア層からなる多重量子井戸(MQW)層を用いる。この点を除いて、他の素子製造工程などは第1あるいは第2の実施例と同様である。

【0032】この実施例では、第1の実施例における $n^- - \text{InGaAsP}$ 層7に代え、MQW層を用いているため、 $n^- - \text{InGaAsP}$ 層を用いた場合よりも大きなバンドギャップ波長 λ_g の変化が得られる。これはMQW層では組成変化に加えて井戸層の層厚変化も λ_g の変化に寄与するためである。したがってPD部ではより λ_g が長く高感度となり、逆にテーパー導波路部では λ_g がより短く低損失となるので、さらに高性能な素子が得られる。

【0033】また、この実施例では $n^- - \text{InGaAsP}$ ウェル層、 $n^- - \text{InGaAsP}$ バリア層からなる多重量子井戸(MQW)層を用いた場合について説明した

が、ウェル層としては n^- -InGaAs層、 n^- -InAlGaAs層、バリア層としては n^- -InP層、 n^- -InAlGaAs層、 n^- -InAlAs層等を用いた場合にも同様の効果が得られる。

【0034】[第4の実施例]次に、本発明の第4の実施例について図10を参照して説明する。図10(a)は第1の実施例の図5(c)、図10(b)は図6

(a)の部位、工程にそれぞれ対応している。図10に示したように、本実施例では基板として n^+ -InP基板16を用い、 n^+ -InP低抵抗層2は形成しない。そしてTiAu膜15を n 側電極として用い、AuGeNi/TiAu膜14は形成しない。また、図6に示したようなパッド形成領域11も形成せず、 p 側電極のパッド電極部13aは n^- -InP埋め込み層9上にSiN膜12を介して形成する。他の素子製造工程などは第1、第2あるいは第3の実施例と同様である。この第4の実施例によれば、第1、第2あるいは第3の実施例と比較して、より少ない工数で、すなわち低コストで受光装置を作製できる。

【0035】[第5の実施例]次に、本発明の第5の実施例について図11を参照して説明する。図11は第1の実施例の図5(c)に対応している。図11に示すように、本実施例では n^- -InPクラッド層8の代わりに p^+ -InPクラッド層($1 \times 10^{18} \text{ cm}^{-3}$)8aを形成する。また、 n^- -InP埋め込み層9を形成する際に、 n^+ -InPバッファ層6、 n^- -InGaAsP層7、 p^+ -InPクラッド層8aからなるメサ構造の側壁部のみ埋め込んだ後、PD部4の p^+ -InPクラッド層8aの上部に p^+ -InP層17を成長させる。他の素子製造工程などは第1、第2あるいは第3の実施例の場合と同様である。本実施例では、選択熱拡散で p 型高濃度領域10を形成する工程を含まないため、拡散深さ制御の困難さに起因する歩留まりの低下がない。

【0036】[第6の実施例]次に、本発明の第6の実施例について図12を参照して説明する。図12(a)は第1の実施例の図3に、また図12(b)は第1の実施例の図5(c)に対応している。図12(a)に示すように、本実施例では選択成長用のマスクの幅がPD部4においても $20 \mu\text{m}$ であり、そこに成長される n^- -InGaAsP層7のバンドギャップ波長は $1.45 \mu\text{m}$ である。

【0037】また、図12(b)に示すように、 n^- -InP埋め込み層9の上部に n^- -InGaAs光吸収層($1 \times 10^{16} \text{ cm}^{-3}$)18を $0.5 \mu\text{m}$ の膜厚に、 p^+ -InPクラッド層($1 \times 10^{18} \text{ cm}^{-3}$)19を $0.5 \mu\text{m}$ の膜厚に形成した後、PD部4の n^- -InGaAsP層7の上部領域を残して n^- -InGaAs光吸収層18、 p^+ -InPクラッド層19を除去する。他の素子製造工程などは第1、第2あるいは第3の実施例

と同様である。

【0038】この第6の実施例は、PD部4の n^- -InGaAsP層7を導波する光のしみ出し光を n^- -InGaAs光吸収層18で吸収させる、いわゆるエバネッセント(evanescent)波結合型の素子である。この実施例では、選択熱拡散で p 型高濃度領域10を形成する工程を含まないため、拡散深さ制御の困難さに起因する歩留まりの低下がない。さらに第5の実施例と異なり、テーパ導波路部5は p 型と比べ吸収損失の小さい n 型半導体層のみで形成されているため低損失、高感度な素子特性が得られる。

【0039】

【発明の効果】以上説明したように、本発明による受光装置は、受光素子と光結合されるテーパ導波路を、受光素子側に向かって幅が漸減、膜厚および屈折率が漸増するように形成したものである。導波路に入射した高次モードの光をもテーパ導波路を介して受光素子へ伝搬させることができるようになる。従って、本発明によれば、テーパ導波路の入射側の幅を広げて光ファイバとの結合トレランスを高くすることができるとともに、受光素子の微細化を可能ならしめて動作高速化を実現することができる。

【0040】また、本発明の製造方法によれば、1回の選択成長により導波路部のコア層とPD部のコア層または光吸収層を形成することができるので、工数を短縮しかつ信頼性高く形成することができる。さらに、導波路部のコア層がPD部の光吸収層と連続して形成されるため、高い光結合効率を実現することができる。よって、本発明によれば、高速で光結合効率が高く、かつ、光ファイバとの結合トレランスの高い導波路型受光装置を低コストで提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するための平面図と断面図。

【図2】本発明の実施の形態を説明するための誘電体マスクパターンを示す平面図。

【図3】本発明の第1の実施例の製造方法を説明するための平面図(マスクパターン図)。

【図4】本発明の第1の実施例の製造方法を説明するための工程途中段階での断面図。

【図5】本発明の第1の実施例の製造方法を説明するための工程途中段階での断面図。

【図6】本発明の第1の実施例の製造方法を説明するための平面図および断面図。

【図7】本発明の第1の実施例の効果を説明するための光の伝搬状態を示す図。

【図8】従来例の問題点を説明するための光の伝搬状態を示す図。

【図9】本発明の第2の実施例の製造方法を説明するための平面図(マスクパターン図)。

11

12

【図10】本発明の第4の実施例の製造方法を説明するための平面図と断面図。

【図11】本発明の第5の実施例を示す断面図。

【図12】本発明の第6の実施例の製造方法を説明するための平面図（マスクパターン図）と断面図。

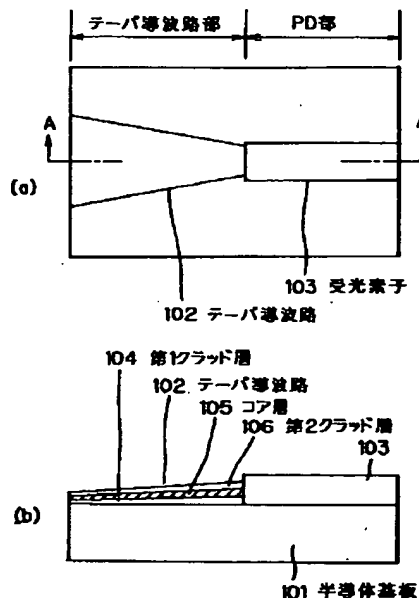
【図13】従来例の平面図および断面図。

【符号の説明】

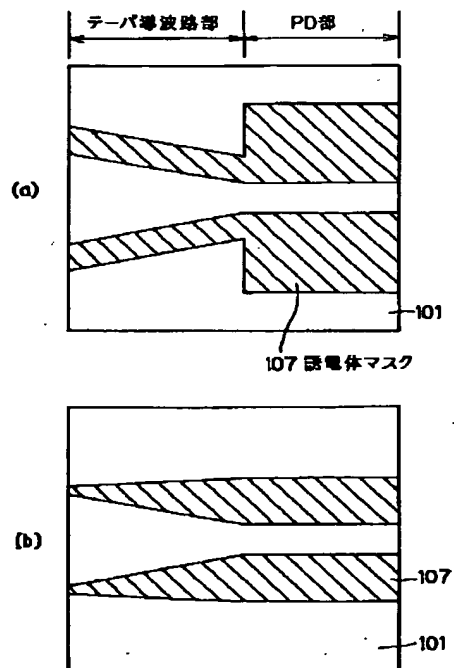
- 1 半絶縁性InP基板
- 2 n^+ -InP低抵抗層
- 3 SiO_2 膜
- 4 PD部
- 5 テーバ導波路部
- 6 n^+ -InPバッファ層
- 7 n^- -InGaAsP層
- 7a n^- -InGaAsPコア層
- 7b n^- -InGaAsPコア層
- 7c n^- -InGaAsP光吸収層
- 8 n^- -InPクラッド層
- 8a p^+ -InPクラッド層
- 9 n^- -InP埋め込み層
- 10 p型高濃度領域
- 11 バッド形成領域
- 12 SiN膜
- 13 TiAu膜

- 13a p側電極のバッド電極部
- 14 AuGeNi/TiAu膜
- 15 TiAu膜
- 16 n^+ -InP基板
- 17 p^+ -InP層
- 18 n^- -InGaAs光吸収層
- 19 p^+ -InPクラッド層
- 21 半絶縁性InP基板
- 22 InPバッファ層
- 23 p^+ -InGaAsPコンタクト層
- 24 n^- -InGaAs光吸収層
- 25 n^+ -InPクラッド層
- 26 n^+ -InGaAsPコア層
- 27 n^+ -InPクラッド層
- 28 p側電極
- 29 n側電極
- 101 半導体基板
- 102 テーバ導波路
- 103 フォトダイオード
- 20 104 第1クラッド層
- 105 コア層
- 106 第2クラッド層
- 107 誘電体マスク

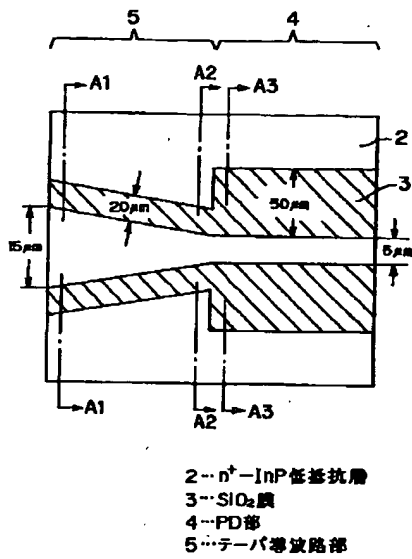
【図1】



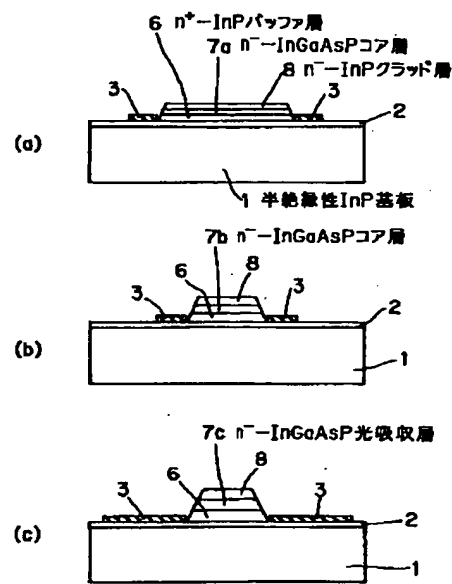
【図2】



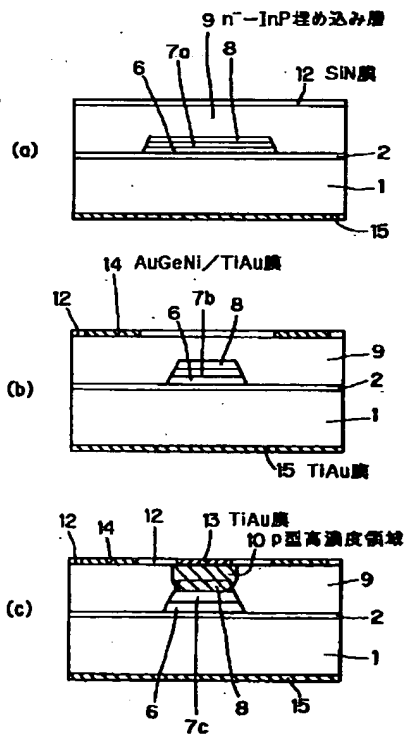
【図3】



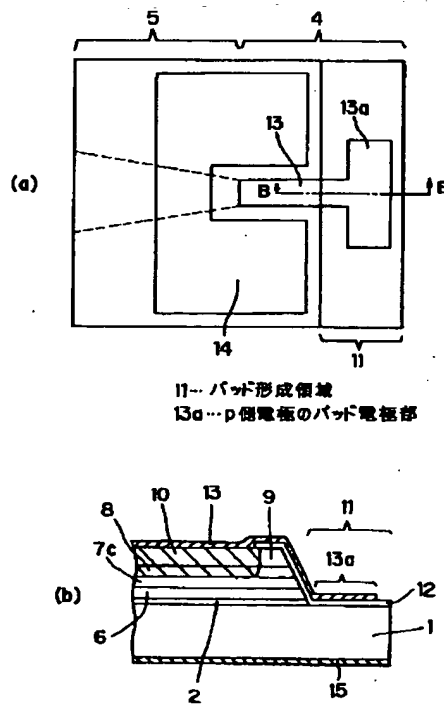
【図4】



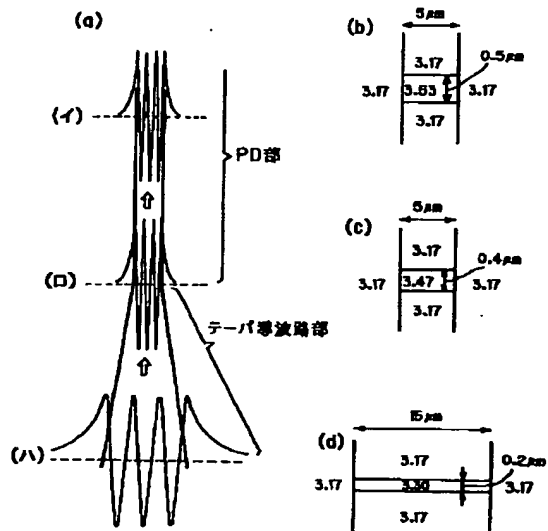
【図5】



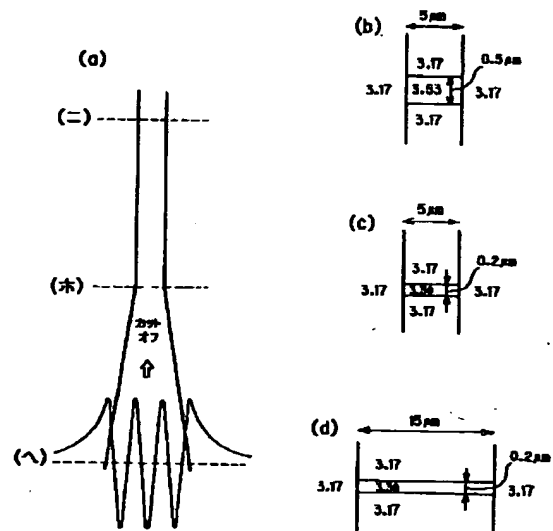
【図6】



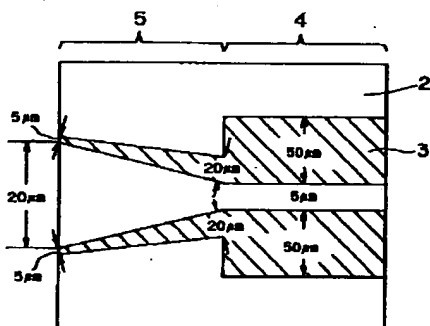
【図7】



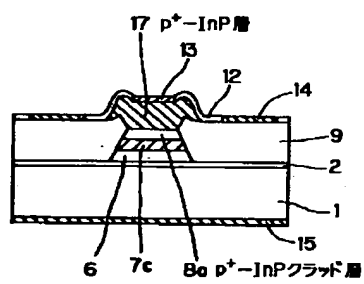
【図8】



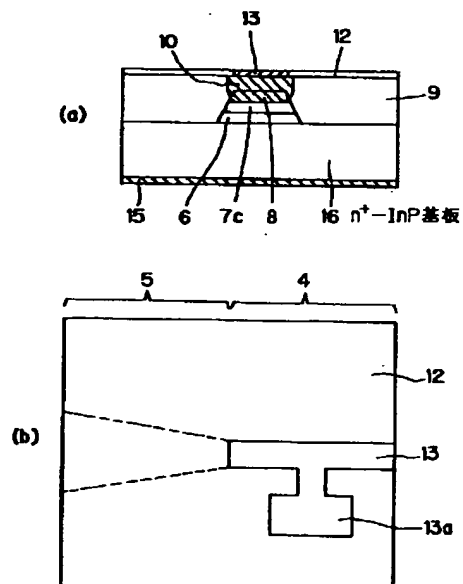
【図9】



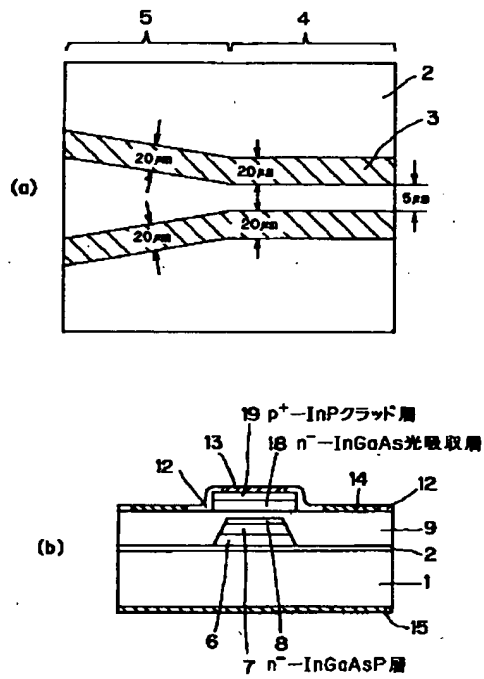
【図11】



【図10】



【図12】



【図13】

